

PATENT ABSTRACTS OF JAPAN

NEC-5082 ⑥

(11)Publication number : 05-298895

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

G11C 16/06

G11C 29/00

(21)Application number : 05-013896

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 29.01.1993

(72)Inventor : KIM JIN-KI

(30)Priority

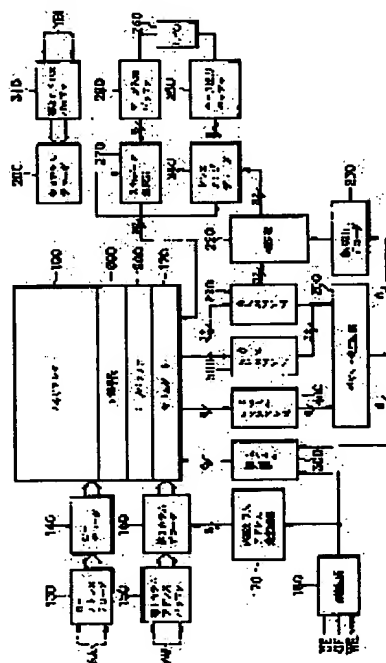
Priority number : 92 9205284 Priority date : 30.03.1992 Priority country : KR

(54) NONVOLATILE MEMORY DEVICE WITH ERROR CORRECTION CIRCUIT

(57)Abstract:

PURPOSE: To provide a nonvolatile memory device, capable of performing error corrective operation with higher reliability.

CONSTITUTION: A page buffer 900 and a separation means 600 are provided between a memory array 100 and a column gate 120, and the page buffer 900 is connected directly to the column gate 120, and the connection between the bit line of the memory array 100 and the page buffer 900 is controlled by the separation means 600. Thus, when the input data are loaded in the page buffer and the parity data are generated using the loaded data and random write-in is performed, the memory data and the parity data are transmitted without through the bit line, the matter that the error data due to the defects of the bit line and a memory cell connected to the bit line occur is eliminated, and the error corrective operation with high reliability is executed.



LEGAL STATUS

[Date of request for examination] 30.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2525112

[Date of registration] 31.05.1996

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NEC-5082-X^b

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-298895

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G11C 16/06 29/00	302	6741-5L 6741-5L	G11C 17/00	309 F

審査請求 未請求 請求項の数2(全11頁)

(21)出願番号 特願平5-13896
(22)出願日 平成5年(1993)1月29日
(31)優先権主張番号 1992 P 5284
(32)優先日 1992年3月30日
(33)優先権主張国 韓国(KR)

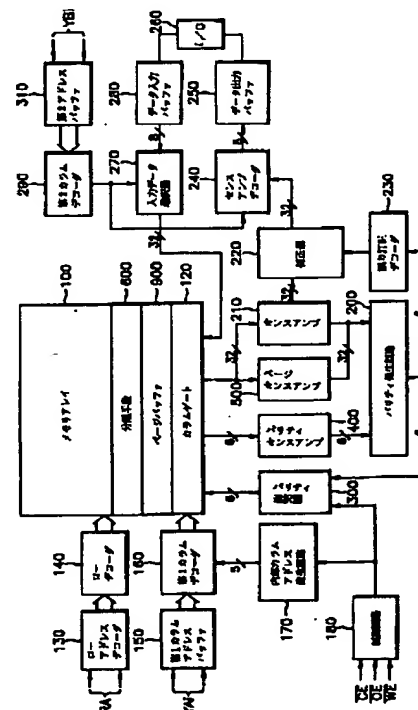
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘3洞416
(72)発明者 金 鎮祺
大韓民国ソウル特別市九老区九老5洞23番
地宇成アパート1棟909号
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 誤り訂正回路を備えた不揮発性メモリ装置

(57)【要約】

【目的】より信頼性の高い誤り訂正動作を行える不揮発性メモリ装置の提供。

【構成】メモリアレイ100とカラムゲート120との間にページバッファ900及び分離手段600を設けるようにし、ページバッファ900とカラムゲート120とを直接的に接続すると共に、メモリアレイ100のビット線とページバッファ900との間の接続を分離手段600で制御する。したがって、入力データをページバッファにローディングする場合やローディングされたデータを利用してパリティデータを発生してランダムに書き込みを行う場合に、メモリデータ及びパリティデータはビット線を介することなく伝送されるようになるので、ビット線やビット線に接続されたメモリセルの欠陥による間違ったデータが発生することがなくなり、信頼性の高い誤り訂正動作を実行できる。



1

【特許請求の範囲】

【請求項1】 多数のビット線と、該ビット線に接続された多数のメモリセル及びパリティセルを有するメモリアレイと、カラムゲートとを有し、データを相当するページバッファにローディングし、該データの複数バイト単位に対応させて複数のビットで構成されたパリティデータを発生し、該パリティデータをページバッファにランダムに貯蔵する誤り訂正回路を備えた不揮発性メモリ装置において、

ページバッファは、ビット線とカラムゲートとの間に設けられていることを特徴とする不揮発性メモリ装置。

【請求項2】 ページバッファとビット線との間に、ページバッファとビット線との間の接続を制御する分離手段が設けられている請求項1記載の不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性メモリ装置に関し、中でも特に、誤り訂正回路(ECC)を有するEEPROM(電気的消去可能でプログラム可能なリードオンリメモリ)に関するものである。

【0002】

【従来の技術】 メモリ装置では、メモリ素子の信頼性を向上させるために読出しデータの欠陥を検査訂正するECCを使用する場合がある。1バイト単位のECCを使用する場合、データ記憶用の通常のメモリセルの50%に相当する個数のパリティセルが必要であり、チップサイズを増加させてしまう。そこで、これを克服するため、1バイト単位ではなく複数バイト単位、例えば4バイト、8バイト単位のECCを使用することによってメモリセルに対するパリティセルの比率を減らす方法が知られている(例えば韓国特許出願公告番号第90-4813号)。この公知技術では、複数バイト単位、例えば4バイト単位に誤り訂正を行なうとすると、パリティデータは6ビットなので、これは32ビット(4バイト)に対して18.8%に相当するパリティセルを必要とするだけですむ。

【0003】 結果的に、複数バイト単位のECCにおいては、単位バイトの大きさの増加により必要なパリティセルの量が減少してチップサイズの増加を抑制することができる。しかし、相対的なパリティセルの数が少ないので、訂正効率は1バイトの場合に劣っている。その理由は、1バイト単位のECCにおいては12ビット(8データビット+4パリティビット)当りの1ビットを訂正できるが、例えば4バイト単位のECCにおいては38ビット(32データビット+6パリティビット)当りの1ビットを訂正することになるためである。

【0004】 このような誤り訂正動作において、特に、上記公知技術のメモリセルアレイ及びパリティセルアレイは不揮発性ROMセルで構成されているので、データ

2

をランダムに記憶させたり、同時に記憶させたりしても誤り訂正動作には影響しない。しかし、EEPROMにおいて複数バイト単位のECCを使用する場合には、必ず複数バイトが同時に書き込まれ、順序正しくデータ入力されなければ正確なパリティビットが発生されないもので、ランダムにデータを書き込むことができないという制約がある。

【0005】 これを解決するために、本発明者は、三星電子(株)に譲渡する発明である韓国特許出願番号第91-18832(1991年10月25日出願)において、入力データをランダムに入力させてから、これを再び読み出して同時にパリティデータを発生させた後に、このパリティデータを入力データと共にメモリセルに書き込むことができるような手段を提案している。この従来技術について、図7を用いて説明する。

【0006】 データ入力バッファ280を通じて入力された入力データは入力データ選択器270によって1バイトずつ選択され、最終的に、第1カラムデコード160によって入力アドレスに相当するページバッファ110にローディング(loading)される。128回のアドレス伝送に回答して128バイトの入力データがランダムに1個乃至複数のページバッファにローディングされる(1回のアドレス伝送時に1バイトの入力データが入る)。1ページに相当する量の入力データ(128バイト)がすべてページバッファ110にローディングされると、パリティ発生期間(Tpg)になる。パリティ発生期間においては内部カラムアドレス発生回路170から自動的に1ページの32組に相当する内部カラムアドレスが発生される。内部カラムアドレスに回答して第1カラムデコード160が駆動し、カラムゲート120によってページバッファ110から一組(4バイト=32ビット)のメモリデータがページセンスアンプ500を介して読み出される。ページセンスアンプ500により読み出された一組(4バイト)のメモリデータはパリティ発生回路200に入力され、この入力された一組のメモリデータに相当する6ビットの書き込み用パリティデータが発生される。この6ビットのパリティデータが相当するアドレスによりパリティセルアレイのパリティページバッファにローディングされる。

【0007】 このように、メモリアレイ100のページバッファ110からローディングされた一組のメモリデータを読み出し、パリティページバッファにパリティデータをローディングする過程が32回繰り返され、32組-128バイトのデータ記憶容量をもつ1ページに対するパリティ発生期間が完了する。ゆえに、メモリデータとこれに相当するパリティデータがページバッファ110に一時貯蔵される。そして次に、プログラム期間においては、通常のプログラムのときと同様にして、ページバッファ110に一時貯蔵されたメモリデータとパリティデータが、メモリセルアレイとパリティセルアレイ

3

の各選択されたメモリセルにそれぞれ同時に書き込まれる。すなわち、1Kビット（128バイト）のメモリデータと192ビットのパリティデータが同時に書き込まれる。

【0008】読出し動作においては、選択されたアドレスに応答する第1カラムデコーダ160によって、一組（4バイト＝32ビット）のメモリデータと6ビットのパリティデータがそれぞれセンスアンプ210及びパリティセンスアンプ400により読み出され、この読み出されたメモリデータとパリティデータはパリティ発生回路200に入力される。パリティ発生回路200は該一組のメモリデータに相当する6ビットのパリティデータを発生し、これを誤り訂正デコーダ230に供給する。誤り訂正デコーダ230の出力は、前記の読み出されたメモリデータと共に補正器220の排他的論理和ゲートにより1:1の比較をされ、該メモリデータの任意のビットに誤りがあれば、読み出されたパリティデータによって訂正される。そして、補正器220の出力は、第2カラムデコーダ290の出力YS1～YS4により制御されるセンスアンプデコーダ240を通じてデコーディングされ、データ出力バッファ250を介して最終的に選択された1バイトのデータが得られる。

【0009】しかし、上記のようなECCを有する従来のEEPROMにおいては、外部から入力されたデータはビット線を通じてページバッファ110に伝送される。このとき、そのビット線に欠陥、例えば漏洩等が存在すると、入力された元のデータと違う間違ったデータがページバッファ110にローディングされるという問題が発生する。さらに、ページバッファ110へのローディング過程ではデータに間違いが発生しなかったとしても、ページバッファ110に一時貯蔵されたデータをパリティデータ発生のために読み出す過程でメモリデータはビット線を通じて伝送されるので、もし、該当するビット線や、そのビット線に接続されているメモリセルに欠陥があると、ページバッファ110に一時貯蔵されているデータとは違ったとんでもないデータがパリティ発生回路200に入力されてしまう。そのため、実際のデータと関係のない間違ったパリティデータが発生され、補正器220が正確な誤り訂正動作を実行できなくなることになる。

【0010】EEPROMで使用されるメモリセルは、プログラム時、ドレイン及びゲートに約20Vの高電圧が加えられるというようなストレスを受け、このようなメモリセルへの高電圧印加は頻煩に行われるため、ゲートとドレインとの間のトンネル酸化膜、又はゲートとチャネルとの間のゲート酸化膜が破壊されるセルが存在し得る。また、ビット線には、脆弱な接合や、製造工程で残留したポリシリコン粒子によって電流の漏洩が起こり得る。チップの外部から供給されるパリティデータを利用するEEPROMにおいては、このような要因が誤り

4

訂正動作にとって大きな問題とならないようにできるが、近來、EEPROMではチップ内にECCを設ける趨勢にあり、チップ内部のメモリセルから読み出されたデータを利用してパリティデータを作ることになっているので、前述のような要因により誤り訂正動作の信頼性が保障されないことになる。

【0011】

【発明が解決しようとする課題】したがって本発明では、より信頼性の高いECCを内蔵する不揮発性メモリ装置を提供することを目的とする。また、本発明の他の目的は、より信頼性の高いECC装置を内蔵するEEPROMを提供することにある。本発明のまた他の目的は、より信頼性の高い複数バイト単位のランダム書込み可能なECCを内蔵するEEPROMを提供することにある。本発明のさらに他の目的は、ページバッファにデータをローディングし、このページバッファから読み出されたメモリデータを利用してパリティデータを求めるECCを内蔵したEEPROMにおいて、より信頼性の高い複数バイト単位のランダム書込み機能を実行できるECCを有するEEPROMを提供することにある。本発明のさらにまた他の目的は、ページバッファにデータをローディングし、このページバッファから読み出されたメモリデータを利用してパリティデータを求めるECCを内蔵したEEPROMにおいて、ビット線やメモリセルの欠陥に影響を受けることなく信頼性の高い複数バイト単位のランダム書込み機能を実行できるECCを提供することにある。

【0012】

【課題を解決するための手段】このような目的を達成するために本発明は、多数のビット線と、該ビット線に接続された多数のメモリセル及びパリティセルを有するメモリアレイと、カラムゲートとを有し、データを相当するページバッファにローディングし、該データの複数バイト単位に対応させて複数のビットで構成されたパリティデータを発生し、該パリティデータをページバッファにランダムに貯蔵する誤り訂正回路を備えた不揮発性メモリ装置において、ページバッファは、ビット線とカラムゲートとの間に設けられていることを特徴としている。また、このような構成とされた不揮発性メモリ装置で、ページバッファとビット線との間に、ページバッファとビット線との間の接続を制御する分離手段が設けられることを特徴とする。

【0013】

【実施例】以下、本発明の実施例を添付の図面を参照して詳細に説明する。尚、共通する部分には同じ符号を付し、重複する説明は省略する。また、この実施例では特にEEPROMを例にあげて説明する。

【0014】図1を参照すると分かるように、この実施例の誤り訂正機能を実行するEEPROMの構成は、図7の従来例に比べてページバッファ900の接続関係が

5

異なっている。すなわち、ページバッファ900はビット線を介してカラムゲート120に接続されるのではなく、メモリアレイ100とカラムゲート120との間に接続され、そして、メモリアレイ100とページバッファ900との間に、メモリアレイ100のビット線とページバッファ900とを電氣的に分離するための分離手段600が設けられている。

【0015】図2に、このような実施例に適用されるメモリセルアレイ及びパリティセルアレイの構成を示す。本実施例では、4バイト単位で誤り訂正を行う場合を例として説明する。ブロックに分けられたメモリセルアレイ101~104、107~111は入出力単位を基準として区分されている。すなわち、一つの入力単位が8ビットなので、メモリデータは32ビット(4バイト)であり、これに、対応する6ビットのパリティデータを合わせると、全部で38ビットが1組になる。1ページは128バイトに構成されているので、1ページは32組となっている。そして、各ページは1Kビット(1024ビット)の容量をもっている。したがって、このような方式でメモリセルアレイが構成されている場合、1

ページ(128バイト、32組)に必要なパリティデータは $32 \times 6 = 192$ ビットであり、図3のように、96ビットずつ構成された二つのパリティセルアレイ105、106を左右に配置できる。

【0016】メモリセルアレイ101~104、107~111、及びパリティセルアレイ105、106の構成は、ビット数が異なるほかは同様とされており、これらに具備されるページバッファも同様の構成となっている。尚、以下の説明では、便宜上、メモリセルアレイに具備されるページバッファは“メモリページバッファ”、パリティセルアレイに具備されるページバッファは“パリティページバッファ”と呼ぶものとする。そして、メモリページバッファとパリティページバッファとを含めてページバッファ900と呼ぶものとする。

【0017】上記のようなアレイ構成において、ページバッファ900はセルアレイ101~111とカラムゲート120との間に位置する。1ページが32組(128バイト=4バイト×32)で構成されているので、1ページの誤り訂正を行うためには、6ビットずつ32回のパリティデータ発生周期が必要となる。

【0018】図3は、誤り訂正時に行われる書込み過程を説明するための回路図である。ページバッファ900、第1カラムデコーダ160、カラムゲート120、パリティ選択器300、パリティセンスアンプ400、ページセンスアンプ500、入力データ選択器270、データ入力バッファ280、及びパリティ発生回路200が使用されており、その回路の実施例が示されている。パリティ信号発生回路200の出力S1、S2、S3、S4、S5、S6は6ビットのパリティデータを表す。また、メモリデータをのせる32本(4バイト)の

6

データ線DL1~DL32と、パリティデータをのせる6本のパリティ線PL1~PL6とが示されている。ワード線WLとストリング選択線SLによってメモリセル(又はパリティセル)が選択され、ビット線選択信号SBLに応じてページバッファ900と選択されたビット線BLとが信号の伝送をできるようになる。信号バーYDに応じて、第1カラムデコーダ160a、…、160dからカラムアドレス信号Pi、Qi、Riが有効とされて出力される。図3中の制御信号バーLD、バーLC Hfa、YW1、バーLCHd等は図1の制御回路180から出力され、EEPROMで一般的に使用される共通の信号である。図3に示すように、ページバッファ900はビット線を介せず直接カラムゲート120に接続されている。そして、ページバッファ900とビット線BLとの接続は、ビット線分離信号YSLを受けるNMOSトランジスタからなる分離手段600によって制御されるようになっている。

【0019】図4に図3のような回路での書込み動作を説明するタイミング図を示す。誤り訂正のための書込み動作時には、外部から入力される1ページ相当の128バイトのデータをアドレス選択に応じてカラムゲート120を通じて(ビット線は通過しない)ページバッファ900に一時的に貯蔵するデータローディング期間(Td1)と、ページバッファ900に一時貯蔵されたメモリデータをパリティ発生回路200が受けて各組(4バイト、32ビット)に相当する6ビットのパリティデータS1、…、S6を発生し、カラムゲート120を通じてページバッファ900にこれを一時的に貯蔵するパリティ発生期間(Tpg)と、ページバッファ900に貯蔵されたデータをセルに書き込むプログラム期間(Tpgm)とがある。ここで、データローディング期間(Td1)あるいはパリティ発生期間(Tpg)において、データはカラムゲート120を通じて直接ページバッファ900(メモリページバッファ及びパリティページバッファ)に伝送されるようになっている。

【0020】図5は、誤り訂正時に行われる読出し過程を説明するための回路図である。誤り訂正デコーダ230、補正器220、センスアンプデコーダ240、及びデータ出力バッファ250の回路の実施例が示されている。また、図6にパリティ発生回路200の実施例が示されている。排他的論理和ゲートで構成され、各パリティビットS1、S2、S3、S4、S5、S6を発生する論理回路201、…、206の入力は、パリティセルアレイ105、106から読み出される6ビットのパリティデータとメモリアレイ100の任意に選択されたメモリセルアレイ101~111から読み出されてくる32ビット(4バイト)のメモリデータとから構成されている。6ビットのパリティデータは図3及び図5に図示のように、パリティ選択器300及び誤り訂正デコーダ230に供給される。

7

【0021】図4のタイミング図を参照して本発明による誤り訂正動作時のランダム書き込み過程について説明する。以下の説明は、4バイト単位の場合を例にあげて、如何にデータが同時に読出し/書き込みされながら誤り訂正動作が行われるかに対して詳細に説明する。

【0022】まず、データローディング期間(T_{d1})において、データ入力バッファ280を通じて入力された入力データは、入力データ選択器270によって1バイトずつ選択され、最終的に第1カラムデコーダ160によって入力アドレスに相当するページバッファ900にローディングされる。このとき、ビット線分離信号YSLは論理“ロウ”となり、分離手段600によってビット線BLとページバッファ900は電氣的に分離される。128回のアドレス伝送に回答して128バイトの入力データがランダムに各メモリページバッファにローディングされる(1回のアドレス伝送で1バイトの入力データが入る)。このとき、入力データはカラムゲート120を経てメモリページバッファに直接伝送される。1ページに相当する入力データ(128バイト)がすべてメモリページバッファにローディングされると、パリティ発生期間(T_p)になる。

【0023】パリティ発生期間(T_p)は、図3のパリティ選択器300のインバータに印加されるパリティエネーブル信号バーLDが論理“ロウ”に遷移されることによって開始される。この期間において、内部カラムアドレス発生回路170が自動的に1ページの32組に相当する内部カラムアドレスを発生する。この内部カラムアドレスに回答して第1カラムデコーダ160を駆動させる信号バーYDが論理“ハイ”となることにより、カラムゲート120を介して一組(4バイト)のメモリデータがページセンスアンプ500により読み出される。メモリページバッファに貯蔵されたメモリデータがページセンスアンプ500によって読み出されるためには、ビット線選択信号SBLが論理“ハイ”でなければならないのは当然である。そして、このときワード線は動作に何等影響を及ぼさない。ページセンスアンプ500から読み出された一組(4バイト)のメモリデータはパリティ発生回路200に入力され、入力された一組のメモリデータに相当する6ビットの書き込み用パリティデータが発生される。この6ビットのパリティデータが相当するアドレスによりパリティページバッファにローディングされる。このように、メモリアルレイのメモリページバッファにローディングされた一組のメモリデータを読み出してパリティページバッファにパリティデータをローディングするまでの過程を32回反復すること

8

によって、32組-128バイトのデータ容量をもつ1ページに対するパリティ発生期間が完了する。そして、メモリデータとこれに相当するパリティデータが各々メモリページバッファとパリティページバッファに一時貯蔵される。

【0024】その次に、プログラム期間(T_pgm)においては、ビット線分離信号YSLが論理“ハイ”となって分離手段600のNMOSトランジスタが導通し、ビット線とページバッファ900とが接続され、通常のプログラム方式と同様にページバッファ900に一時貯蔵されているメモリデータとパリティデータとが各々メモリアルレイとパリティセルレイの選択されたセルに同時に書き込まれる。すなわち、1Kビット(128バイト)のメモリデータと192ビットのパリティデータとが同時に書き込みされる。

【0025】

【発明の効果】以上述べてきたように本発明は、入力データをローディングする場合、あるいはローディングされたメモリデータを利用してパリティデータを発生してランダムに書き込みを行う場合に、メモリデータ及びパリティデータがページバッファへ、又はページバッファからビット線を介さずに伝送されるようになっているので、ビット線やビット線に接続されたメモリアルレイの欠陥による間違ったデータの発生が抑制でき、誤り訂正動作に悪影響を及ぼす心配がない。その結果、誤り訂正動作に対する信頼性が一段と高められるという優れた効果がある。

【図面の簡単な説明】

【図1】本発明による誤り訂正回路を備えたEEPROMの実施例を示すブロック図。

【図2】本発明による誤り訂正回路を備えたEEPROMの実施例のメモリアルレイの構成を示すブロック図。

【図3】本発明による誤り訂正回路を備えたEEPROMの実施例の一部回路図。

【図4】図3の回路の書き込み動作時のタイミング図。

【図5】本発明による誤り訂正回路を備えたEEPROMの実施例の一部回路図。

【図6】図1のパリティ発生回路の回路図。

【図7】誤り訂正回路を有するEEPROMの従来例を示すブロック図。

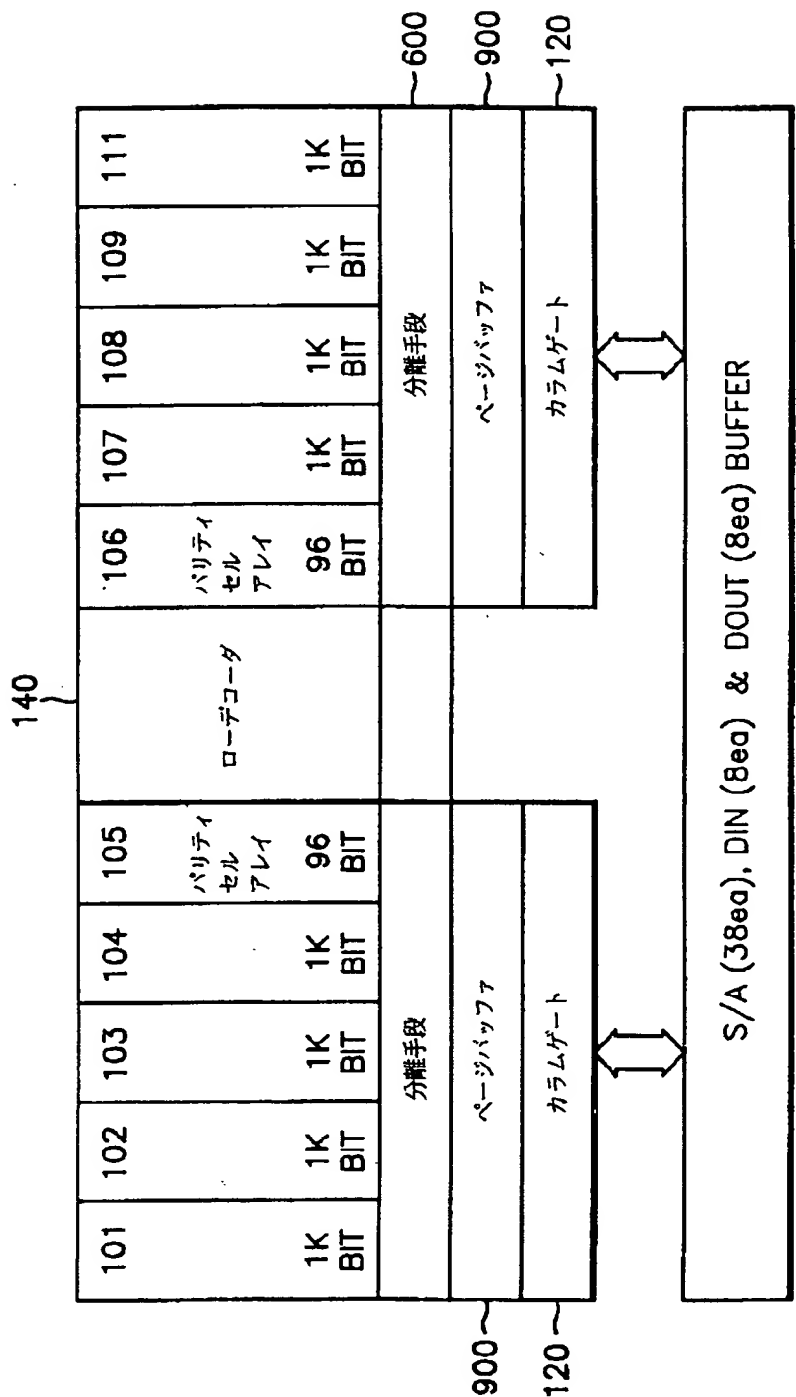
【符号の説明】

100 メモリアルレイ
120 カラムゲート
600 分離手段
900 ページバッファ

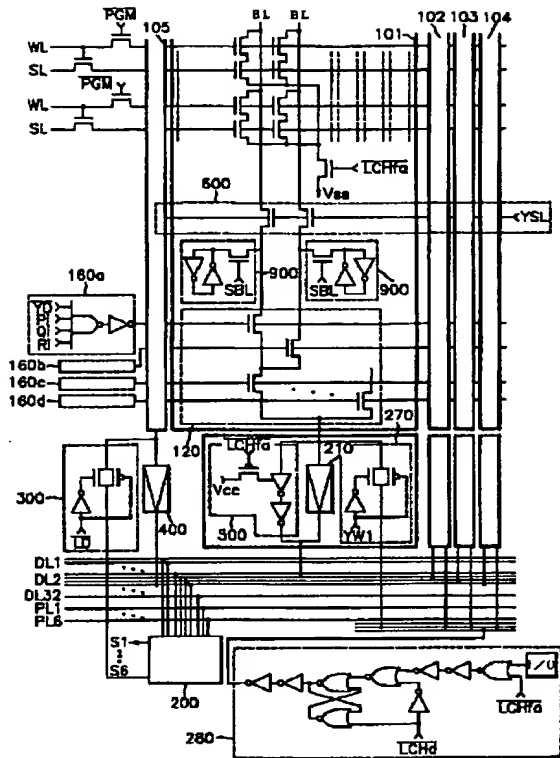
The diagram illustrates the internal architecture of a semiconductor device. Key components and their connections include:

- Memory Array (100):** The central storage component, divided into a **Row Decoder (130)**, **Column Decoder (140)**, **Row Buffer (150)**, and **Column Buffer (160)**.
- Column Gate (120):** Receives signals from the memory array and connects to the **Sense Amplifier (210)**, **Page Sense Amplifier (220)**, and **Parity Sense Amplifier (230)**.
- Sense Amplifier (210):** Outputs data to the **Parity Selector (240)** and the **Internal Column Address Generator (170)**.
- Page Sense Amplifier (220):** Outputs data to the **Parity Selector (240)** and the **Internal Column Address Generator (170)**.
- Parity Sense Amplifier (230):** Outputs data to the **Parity Selector (240)** and the **Internal Column Address Generator (170)**.
- Parity Selector (240):** Receives data from the sense amplifiers and outputs to the **Internal Column Address Generator (170)**.
- Internal Column Address Generator (170):** Outputs data to the **Control Circuit (180)**.
- Control Circuit (180):** Receives control signals (CE, OE, WE) and outputs to the **Internal Column Address Generator (170)**.
- Other components:** The diagram also shows a **Parity Decoder (250)**, **Parity Encoder (260)**, **Parity Buffer (270)**, **Parity Input Buffer (280)**, **Parity Output Buffer (290)**, and a **Parity Address Buffer (310)**.

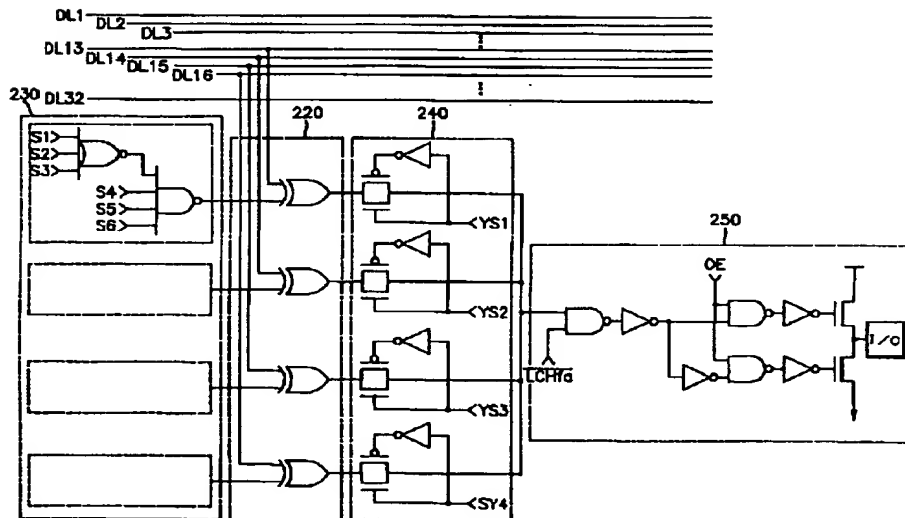
【図2】



【 例 3 】



【图 5】



【図6】

